**HHMA: A Hierarchical Hybrid Memory Architecture Sharing Multi-Port Memory**

Los routers y switches de alta velocidad requieren retener los paquetes en tiempos de congestionamiento. Estos buffers normalmente utilizan una jeraraquía de memoria que consiste en la rápida pero cara SRAM y barata pero lenta DRAM. El objetivo de estos buffers es proveer ancho de banda determinística que garantice las condiciones de tráfico.

En el artículo de Mutter (2008), se propone una solución híbrida para las arquitecturas de buffer con DRAM's paralelas. Ellos proponen un algoritmo que disminuye la cantidad de SRAM en comparación con otas arquitecturas. Actualmente, implementan la arquitectura en un FPGA.

Ellos logran resolver el problema, garantizando que bajo cualquier condición de tráfico, mantienen una latencia de lectura constante. Para eso, utilizan una arquitectura de tail and head buffer (SRAM) en combinación de DRAMs paralelas o bancos de DRAM.

Esto genera la combinación de ventajas de arquitecturas distintas en una arquitectura sencilla. Estas son per-flow aggregation y banking. La agregación elimina el problema de 65 bytes; por lo tanto, ya no se requiere ancho de banda provisional y no genera fragmentación en SRAM y DRAM.

La arquitectura que proponen es semi paralela (SPHSD). Consiste en k DRAMs paralelas, un tail buffer y un head buffer. Cada DRAM provee 1/k de la banda requerida. El paquete de buffer agrega paquetes de datos por flujo del tamaño de los bloques. Siemper se intenta escribir bloques llenos de DRAM.

El paralelismo de la arquitectura es contralado por el valor de k. Ellos demuestran que con colocación dinámica del tamaño del buffer disminuye al incrementar k. El tamaño mínimo de cada bloque es determinado al usar tecnología DRAM con memorias DDR3 SDRAM DIMMs. El tamaño mínimo de los lboques es de 64 bytes.

Los autores permiten el banking remplazando las DRAMs individuales con bancos de DRAM. Esto provoca un ancho de banda deterministico, además, esto ahorra pins de entrada y salida. Disminuyen el tamaño del buffer en 47% en comparación de otras alternativas.

Utilizan un algoritmo de adminsitración de memoria trivial. No obstante, ellos mencionan que con un algoritmo más sofisticado podrían disminuir el tamaño del buffer.

***Bibliografía:***

Caixia Liu; Jiaxin Li; Hongli Zhang; Qi Zuo, "HHMA: A Hierarchical Hybrid Memory Architecture Sharing Multi-Port Memory," *Young Computer Scientists, 2008. ICYCS 2008. The 9th International Conference for* , vol., no., pp.1320,1325, 18-21 Nov. 2008  
doi: 10.1109/ICYCS.2008.184